

(1) Japanese Patent Application Laid-Open No. 8-228145 (1996)

“Low-Voltage SOI Type Logic Circuit”

The following is the translation of the structure in the front page:

5

In low voltage SOI type logic circuit, a body of MOSFET for a logic circuit is brought into a floating state to set a low threshold voltage and a body of MOSFET for power switch is biased by a power supply voltage to set a high threshold voltage.

BEST AVAILABLE COPY

(2)

(10) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-228145

(43) 公開日 平成8年(1996)9月3日

(5) InCL*	発明記号	序内整理番号	P1		
H03K 19/0948		H03K 19/094	B		技術表示箇所
H01L 27/04		H01L 27/08	3 31 E		
21/822			D		
Z7/08	3 31		6 1 3 2		
Z7/88					

(2) 出願番号	特願平7-157947	(7) 出願人	000004226
(22) 出願日	平成7年(1995)6月23日	(72) 発明者	日本電気電機株式会社
(31) 優先権主張番号	願平6-168851	(73) 本願出願日	東京都新宿区西新宿三丁目19番2号
(32) 優先日	平6(1995)6月28日	(74) 代理人	東京都千代田区内幸町1丁目1番6号 日本電気電機株式会社
(33) 優先権主張国	日本 (JP)	(34) 優先権主張番号	特願平6-334640
(35) 優先日	平6(1994)10月20日	(36) 優先権主張国	日本 (JP)

審査請求 未請求 領収済の範囲 OL (全 10 頁)

(2) 出願番号

(7) 出願人

(22) 出願日

(72) 発明者

(31) 優先権主張番号

(73) 本願出願日

(32) 優先日

(74) 代理人

(33) 優先権主張国

(35) 優先日

(36) 優先権主張国

(37) 優先権主張番号

(38) 優先権主張国

(39) 優先日

(40) 優先権主張国

(41) 優先権主張番号

(42) 優先権主張国

(43) 優先日

(44) 優先権主張国

(45) 優先日

(46) 優先権主張国

(47) 優先日

(48) 優先権主張国

(49) 優先日

(50) 優先権主張国

(51) 優先日

(52) 優先権主張国

(53) 優先日

(54) 優先日

(55) 優先日

(56) 優先日

(57) 優先日

(58) 優先日

(59) 優先日

(60) 優先日

(61) 優先日

(62) 優先日

(63) 優先日

(64) 優先日

(65) 優先日

(66) 優先日

(67) 優先日

(68) 優先日

(69) 優先日

(70) 優先日

(71) 優先日

(72) 優先日

(73) 優先日

(74) 優先日

(75) 優先日

(76) 優先日

(77) 優先日

(78) 優先日

(79) 優先日

(80) 優先日

(81) 優先日

(82) 優先日

(83) 優先日

(84) 優先日

(85) 優先日

(86) 優先日

(87) 優先日

(88) 優先日

(89) 優先日

(90) 優先日

(91) 優先日

(92) 優先日

(93) 優先日

(94) 優先日

(95) 優先日

(96) 優先日

(97) 優先日

(98) 優先日

(99) 優先日

(100) 優先日

(101) 優先日

(102) 優先日

(103) 優先日

(104) 優先日

(105) 優先日

(106) 優先日

(107) 優先日

(108) 優先日

(109) 優先日

(110) 優先日

(111) 優先日

(112) 優先日

(113) 優先日

(114) 優先日

(115) 優先日

(116) 優先日

(117) 優先日

(118) 優先日

(119) 優先日

(120) 優先日

(121) 優先日

(122) 優先日

(123) 優先日

(124) 優先日

(125) 優先日

(126) 優先日

(127) 優先日

(128) 優先日

(129) 優先日

(130) 優先日

(131) 優先日

(132) 優先日

(133) 優先日

(134) 優先日

(135) 優先日

(136) 優先日

(137) 優先日

(138) 優先日

(139) 優先日

(140) 優先日

(141) 優先日

(142) 優先日

(143) 優先日

(144) 優先日

(145) 優先日

(146) 優先日

(147) 優先日

(148) 優先日

(149) 優先日

(150) 優先日

(151) 優先日

(152) 優先日

(153) 優先日

(154) 優先日

(155) 優先日

(156) 優先日

(157) 優先日

(158) 優先日

(159) 優先日

(160) 優先日

(161) 優先日

(162) 優先日

(163) 優先日

(164) 優先日

(165) 優先日

(166) 優先日

(167) 優先日

(168) 優先日

(169) 優先日

(170) 優先日

(171) 優先日

(172) 優先日

(173) 優先日

(174) 優先日

(175) 優先日

(176) 優先日

(177) 優先日

(178) 優先日

(179) 優先日

(180) 優先日

(181) 優先日

(182) 優先日

(183) 優先日

(184) 優先日

(185) 優先日

(186) 優先日

(187) 優先日

(188) 優先日

(189) 優先日

(190) 優先日

(191) 優先日

(192) 優先日

(193) 優先日

(194) 優先日

(195) 優先日

(196) 優先日

(197) 優先日

(198) 優先日

(199) 優先日

(200) 優先日

(201) 優先日

(202) 優先日

(203) 優先日

(204) 優先日

(205) 優先日

(206) 優先日

(207) 優先日

(208) 優先日

(209) 優先日

(210) 優先日

(211) 優先日

(212) 優先日

(213) 優先日

(214) 優先日

(215) 優先日

(216) 優先日

(217) 優先日

(218) 優先日

(219) 優先日

(220) 優先日

(221) 優先日

(222) 優先日

(223) 優先日

(224) 優先日

(225) 優先日

(226) 優先日

(227) 優先日

(228) 優先日

(229) 優先日

(230) 優先日

(231) 優先日

(232) 優先日

(233) 優先日

(234) 優先日

(235) 優先日

(236) 優先日

(237) 優先日

(238) 優先日

(239) 優先日

(240) 優先日

(241) 優先日

(242) 優先日

(243) 優先日

(244) 優先日

(245) 優先日

(246) 優先日

(247) 優先日

(248) 優先日

(249) 優先日

(250) 優先日

(251) 優先日

(252) 優先日

(253) 優先日

(254) 優先日

【請求項9】 前記論理回路を構成する電界効果トランジスタのボディ部の不純物濃度を調整し、該ボディ部に形成される空乏層の厚さが、以下のように定められたときに形成される空乏層の厚さが、前記空乏層Wより小さくなるように規定したことを特徴とする請求項6または7に記載の底電圧SOI型論理回路。

【段落2】 $W = \{2\varepsilon_{11} \cdot 2\phi_1 / (q \cdot N_{111})\}^{1/2}$

ただし、 ε_{11} は、シリコン部の勝電率、 N_{111} は、シリコン部のフェルミボテンシャル、 q は、電子の電荷

【段落3】 前記論理回路を構成する電界効果トランジスタのボディ部の厚さを1.0nm以下、その不純物濃度を $1 \times 10^{11} \text{ cm}^{-3}$ 以下とし、該ボディ部を完全空乏化状態とするとともに、前記電源スイッチ用電界効果トランジスタのボディ部の厚さを1.0nm以下、その不純物濃度を $1 \times 10^{11} \text{ cm}^{-3}$ より大に設定して、該ボディ部を部分空乏化状態としたことを特徴とする請求項9に記載の底電圧SOI型論理回路。

【発明の詳細な説明】

【0001】 【底電圧上の利用分野】 この発明は、1Vの乾電池電源で動作可能なSOI (Silicon On Insulator) 型の電界効果トランジスタを用いた底電圧SOI型論理回路に関するものである。

【0002】 【従来の技術】 従来の底電圧論理回路として、図1に示すような回路が知られている。これは、パルク型のCMOS回路を用いたもので、特開平6-29834号公報、または、S.Muloh, et al. "IV HIGH SPEED DIGITAL CIRCUIT TECHNOLOGY WITH 0.5μm MULTI-TRESHOLD CMOS", IEEE, 1993, 186-189ページに記載された回路である。

【0003】 この回路は、高電位電源線1に接続された電源スイッチ用MOSFET4と、低電位電源線2に接続された電源スイッチ用MOSFET5との間に、CMOS論理回路3を接続した基本構成を有している。ここで、電源スイッチ用MOSFET4および5は、高しい底電圧のMOSFETであり、論理回路3は、低しい底電圧のMOSFETから構成されている。

【0004】 高しい底電圧の電源スイッチ用MOSFET4および5のゲートには、スリーブ信号S1と、その反相信号S1-Sがそれぞれ供給され、論理回路3の待機時(スリーブ時)には、信号S1が高レベルとされ、MOSFET4および5をオフとし、論理回路3への電源供給を停止する。逆に、論理回路3の動作時には、スリーブ信号S1が底レベルとされ、MOSFET4および5をオンとして、論理回路3に電源供給す

る。

【0005】 一般に、低しい底電圧のMOSFETでは、動作速度は速いが底電圧時のリード電流は大きく、逆に高い底電圧のMOSFETは、動作速度は遅いが底電流のリード電流は小さいという特性をもつている。したがって、図1の回路は、スリーブ時には小さなリード電流を維持しつつ、論理回路3の動作時には、高速動作を実現することが可能となる。

【0006】 ここで注目すべき点は、従来の底電圧論理回路では、論理回路群3のMOSFETの各基板が、高電位電源線1または底電位電源線2にそれぞれ接続されている点である。これは、基板バイアスを印加することによって、パルク型のCMOS回路で起こりやすいリッチアップによる勝電力を防止するためである。なお、上記Huloh, et al. の論文のFIG. 1では、論理回路群3の基板がどこにも接続されていないかのように記されているが、これは基板上の要員のためであり、実際には、これらのMOSFETの基板も、それぞれの電源線に接続されている。

【0007】 このような構成をSOI型のCMOS論理回路に適用しようとすると、電子面積が増大するという問題がある。以下、この点について説明する。

【0008】 図2は、従来のSOI型MOSFETの構造を示す断面図である。シリコン基板11上に埋め化膜12が形成され、その上には、単結晶シリコン層からなるアクリティブ領域13が形成されている。このアクリティブ領域13は、ソース13.1、ドレイン13.2、およびそれらに挟まれたボディ部13.3からなっている。アクリティブ領域13は、ゲート酸化膜14で覆われ、ゲート酸化膜14上にゲート電極15が形成されている。このゲート電極15に電圧を印加することによって、ボディ部13.3の上部にチャンネル部13.4が形成される。このように、アクリティブ領域13は、ソース13.1、ドレイン13.2、およびボディ部13.3からなり、ボディ部13.3は、埋め化膜12によって、シリコン基板11から絶縁されている。

【0009】 また、本発明は、第1の電源線と、第2の電源線、ソースが前記第1の電源線に接続され、ボディ部がゲートに接続されたSOI型の第1の電界効果トランジスタと、ソースが前記第2の電源線に接続され、ゲートをフローティング状態とし、前記第1の電界効果トランジスタのゲートと前記第2の電界効果トランジスタのゲートと前記第1の電界効果トランジスタと前記第2の電界効果トランジスタとの間に接続することを特徴とする。

【0010】 また、本発明は、第1の電源線と、第2の電源線、ソースが前記第1の電源線と、第2の電源線と、前記電源スイッチ用電界効果トランジスタのドレインと前記第2の電源線と前記電源線との間に接続されたSOI型の電源スイッチ用電界効果トランジスタと前記第2の電源線との間に接続された論理回路との間に接続をオフし、前記論理回路は、SOI型電界効果トランジスタのドレインとの間に接続された論理回路とを具備し、前記論理回路は、SOI型電界効果トランジスタから構成され、該SOI型電界効果トランジスタのボディ部をフローティング状態とし、前記電源スイッチ用電界効果トランジスタのゲートと供給される信号によつて、前記第2の電源線と前記論理回路との間に接続された論理回路とを具備し、前記論理回路は、SOI型電源線と、ソースが前記第1の電源線と、第2の電源線と、ソースが前記第1の電源線に接続され、ボディ部がゲートに接続されたSOI型の第2の電界効果トランジスタと、前記第1の電界効果トランジスタとの間に接続された論理回路とを具備し、前記論理回路は、SOI型電源線と、ソースが前記第1の電源線と、第2の電源線と、ソースが前記第1の電源線に接続され、ボディ部がゲートに接続されたSOI型の電源線と、前記第1の電界効果トランジスタと、前記第2の電界効果トランジスタとの間に接続をオフすることを特徴とする。

【0011】 また、本発明は、第1の電源線と、第2の電源線と、前記第1の電界効果トランジスタのボディ部をフローティング状態とし、前記第2の電界効果トランジスタのゲートと供給される信号によつて、前記第1の電界効果トランジスタから構成され、該SOI型電界効果トランジスタのボディ部をフローティング状態とし、前記電源スイッチ用電界効果トランジスタのゲートに接続する論理回路とを具備し、前記論理回路は、SOI型電源線と、ソースが前記第1の電源線と、第2の電源線と、ソースが前記第1の電源線に接続され、ボディ部がゲートに接続されたSOI型の第2の電界効果トランジスタと、前記第1の電界効果トランジスタとの間に接続された論理回路とを具備し、前記論理回路は、SOI型電源線と、ソースが前記第1の電源線と、第2の電源線と、ソースが前記第1の電源線に接続され、ボディ部がゲートに接続されたSOI型の電源線と、前記第1の電界効果トランジスタと、前記第2の電界効果トランジスタとの間に接続をオフすることを特徴とする。

【0012】 また、本発明は、第1の電源線と、第2の電源線と、前記第1の電界効果トランジスタのボディ部をフローティング状態とし、前記第2の電界効果トランジスタのゲートと供給される信号によつて、前記第1の電界効果トランジスタから構成され、該SOI型電界効果トランジスタのボディ部をフローティング状態とし、前記電源スイッチ用電界効果トランジスタのゲートに接続する論理回路とを具備し、前記論理回路は、SOI型電源線と、ソースが前記第1の電源線と、第2の電源線と、ソースが前記第1の電源線に接続され、ボディ部がゲートに接続されたSOI型の第2の電界効果トランジスタと、前記第1の電界効果トランジスタとの間に接続された論理回路とを具備し、前記論理回路は、SOI型電源線と、ソースが前記第1の電源線と、第2の電源線と、ソースが前記第1の電源線に接続され、ボディ部がゲートに接続されたSOI型の電源線と、前記第1の電界効果トランジスタと、前記第2の電界効果トランジスタとの間に接続をオフすることを特徴とする。

【0013】 また、本発明は、第1の電源線と、第2の電源線と、前記第1の電界効果トランジスタのボディ部をフローティング状態とし、前記第2の電界効果トランジスタのゲートと供給される信号によつて、前記第1の電界効果トランジスタから構成され、該SOI型電界効果トランジスタのボディ部をフローティング状態とし、前記電源スイッチ用電界効果トランジスタのゲートに接続する論理回路とを具備し、前記論理回路は、SOI型電源線と、ソースが前記第1の電源線と、第2の電源線と、ソースが前記第1の電源線に接続され、ボディ部がゲートに接続されたSOI型の第2の電界効果トランジスタと、前記第1の電界効果トランジスタとの間に接続された論理回路とを具備し、前記論理回路は、SOI型電源線と、ソースが前記第1の電源線と、第2の電源線と、ソースが前記第1の電源線に接続され、ボディ部がゲートに接続されたSOI型の電源線と、前記第1の電界効果トランジスタと、前記第2の電界効果トランジスタとの間に接続をオフすることを特徴とする。

【0014】 また、本発明は、第1の電源線と、第2の電源線と、前記第1の電界効果トランジスタのボディ部をフローティング状態とし、前記第2の電界効果トランジスタのゲートと供給される信号によつて、前記第1の電界効果トランジスタから構成され、該SOI型電界効果トランジスタのボディ部をフローティング状態とし、前記電源スイッチ用電界効果トランジスタのゲートに接続する論理回路とを具備し、前記論理回路は、SOI型電源線と、ソースが前記第1の電源線と、第2の電源線と、ソースが前記第1の電源線に接続され、ボディ部がゲートに接続されたSOI型の第2の電界効果トランジスタと、前記第1の電界効果トランジスタとの間に接続された論理回路とを具備し、前記論理回路は、SOI型電源線と、ソースが前記第1の電源線と、第2の電源線と、ソースが前記第1の電源線に接続され、ボディ部がゲートに接続されたSOI型の電源線と、前記第1の電界効果トランジスタと、前記第2の電界効果トランジスタとの間に接続をオフすることを特徴とする。

【0015】 また、本発明は、前記論理回路を構成する

し、そこにコンタクト3.5を形成する構造にしなければならなかった。

【0016】 また、本発明は、前記論理回路を構成する電界効果トランジスタのボディ部の不純物濃度を調整し、該ボディ部に形成される空乏層の厚さが、以下のようにして、その分だけ占有面積が増大するという欠点があつた。特に、論理回路群3を構成するMOSFETのサイズの増大は、回路面積の増大を引き、集積度を低下させるという問題があった。

【0017】 【段落3】 $W = \{2\varepsilon_{11} \cdot 2\phi_1 / (q \cdot N_{111})\}^{1/2}$

ただし、 ε_{11} は、シリコン部の勝電率、 N_{111} は、シリコン部のフェルミボテンシャル、 q は、電子の電荷

【0018】 また、本発明は、第1の電源線と、第2の電源線と、前記第1の電界効果トランジスタと、前記第2の電界効果トランジスタとのドレインと前記第2の電源線と前記論理回路との間に接続することを特徴とする。

【0019】 また、本発明は、第1の電源線と、第2の電源線と、前記第1の電界効果トランジスタのゲートと供給される信号によつて、前記第1の電界効果トランジスタから構成され、該SOI型電界効果トランジスタのボディ部がゲートに接続されたSOI型の電源線と、前記第1の電界効果トランジスタと、前記第2の電界効果トランジスタとの間に接続をオフすることを特徴とする。

【0020】 また、本発明は、前記論理回路を構成する

電界効果トランジスタのボディ部の不純物濃度を調整し、該ボディ部に形成される空乏層の厚さが、以下のようにして、その分だけ占有面積が増大するという欠点があつた。特に、論理回路群3を構成するMOSFETのサイズの増大は、回路面積の増大を引き、集積度を低下させるという問題があった。

【0021】 【段落4】 【発明が解決しようとする課題】 そこで、本発明の目的は、高速度動作および高集積度が可能な底電圧SOI型論理回路を提供することである。

【0022】 【発明が解決しようとする課題】 そこで、本発明の目的は、高速度動作および高集積度が可能な底電圧SOI型論理回路を提供することである。

【0023】 【発明が解決しようとする課題】 そこで、本発明の目的は、高速度動作および高集積度が可能な底電圧SOI型論理回路を提供することである。

【0024】 【発明が解決しようとする課題】 そこで、本発明の目的は、高速度動作および高集積度が可能な底電圧SOI型論理回路を提供することである。

【0025】 【発明が解決しようとする課題】 そこで、本発明の目的は、高速度動作および高集積度が可能な底電圧SOI型論理回路を提供することである。

【0026】 【発明が解決しようとする課題】 そこで、本発明の目的は、高速度動作および高集積度が可能な底電圧SOI型論理回路を提供することである。

【0027】 【発明が解決しようとする課題】 そこで、本発明の目的は、高速度動作および高集積度が可能な底電圧SOI型論理回路を提供することである。

【0028】 【発明が解決しようとする課題】 そこで、本発明の目的は、高速度動作および高集積度が可能な底電圧SOI型論理回路を提供することである。

【0029】 【発明が解決しようとする課題】 そこで、本発明の目的は、高速度動作および高集積度が可能な底電圧SOI型論理回路を提供することである。

【0030】 【発明が解決しようとする課題】 そこで、本発明の目的は、高速度動作および高集積度が可能な底電圧SOI型論理回路を提供することである。

【0031】 【発明が解決しようとする課題】 そこで、本発明の目的は、高速度動作および高集積度が可能な底電圧SOI型論理回路を提供することである。

【0032】 【発明が解決しようとする課題】 そこで、本発明の目的は、高速度動作および高集積度が可能な底電圧SOI型論理回路を提供することである。

【0033】 【発明が解決しようとする課題】 そこで、本発明の目的は、高速度動作および高集積度が可能な底電圧SOI型論理回路を提供することである。

【0034】 【発明が解決しようとする課題】 そこで、本発明の目的は、高速度動作および高集積度が可能な底電圧SOI型論理回路を提供することである。

【0035】 【発明が解決しようとする課題】 そこで、本発明の目的は、高速度動作および高集積度が可能な底電圧SOI型論理回路を提供することである。

【0036】 【発明が解決しようとする課題】 そこで、本発明の目的は、高速度動作および高集積度が可能な底電圧SOI型論理回路を提供することである。

【0037】 【発明が解決しようとする課題】 そこで、本発明の目的は、高速度動作および高集積度が可能な底電圧SOI型論理回路を提供することである。

【0038】 【発明が解決しようとする課題】 そこで、本発明の目的は、高速度動作および高集積度が可能な底電圧SOI型論理回路を提供することである。

【0039】 【発明が解決しようとする課題】 そこで、本発明の目的は、高速度動作および高集積度が可能な底電圧SOI型論理回路を提供することである。

【0040】 【発明が解決しようとする課題】 そこで、本発明の目的は、高速度動作および高集積度が可能な底電圧SOI型論理回路を提供することである。

【0041】 【発明が解決しようとする課題】 そこで、本発明の目的は、高速度動作および高集積度が可能な底電圧SOI型論理回路を提供することである。

【0042】 【発明が解決しようとする課題】 そこで、本発明の目的は、高速度動作および高集積度が可能な底電圧SOI型論理回路を提供することである。

【0043】 【発明が解決しようとする課題】 そこで、本発明の目的は、高速度動作および高集積度が可能な底電圧SOI型論理回路を提供することである。

【0044】 【発明が解決しようとする課題】 そこで、本発明の目的は、高速度動作および高集積度が可能な底電圧SOI型論理回路を提供することである。

【0045】 【発明が解決しようとする課題】 そこで、本発明の目的は、高速度動作および高集積度が可能な底電圧SOI型論理回路を提供することである。

【0046】 【発明が解決しようとする課題】 そこで、本発明の目的は、高速度動作および高集積度が可能な底電圧SOI型論理回路を提供することである。

【0047】 【発明が解決しようとする課題】 そこで、本発明の目的は、高速度動作および高集積度が可能な底電圧SOI型論理回路を提供することである。

【0048】 【発明が解決しようとする課題】 そこで、本発明の目的は、高速度動作および高集積度が可能な底電圧SOI型論理回路を提供することである。

【0049】 【発明が解決しようとする課題】 そこで、本発明の目的は、高速度動作および高集積度が可能な底電圧SOI型論理回路を提供することである。

【0050】 【発明が解決しようとする課題】 そこで、本発明の目的は、高速度動作および高集積度が可能な底電圧SOI型論理回路を提供することである。

【0051】 【発明が解決しようとする課題】 そこで、本発明の目的は、高速度動作および高集積度が可能な底電圧SOI型論理回路を提供することである。

[0021] また、本発明は、前記論理回路を構成する電界効果トランジスタのボディ部の不純物濃度を調整し、該ボディ部に形成される空乏層の厚さが、以下の式で与えられる空乏層幅W以上となるようにし、前記電源スイッチ用電界効果トランジスタのボディ部の不純物濃度を調整し、該ボディ部に形成される空乏層の厚さが、前記空乏層幅Wより小さくなるように設定したことを特徴とする。

[0022] $[0022] W = \{2\varepsilon_{n1} \cdot 2\phi_1 / (q \cdot N_{n1})\}^{1/4}$

ただし、 ε_{n1} は、シリコン部の崩壊電圧

q は、電子の電荷

N_{n1} は、ボディ部の不純物濃度

また、本発明は、前記論理回路を構成する電界効果トランジスタのボディ部の厚さを100nm以下、その不純物濃度を $1 \times 10^{19} \text{ cm}^{-3}$ 以下とし、該ボディ部を完全空乏化状態とするとともに、前記電源スイッチ用電界効果トランジスタのボディ部の厚さを100nm以下、その不純物濃度を $1 \times 10^{19} \text{ cm}^{-3}$ より大に設定して、該ボディ部を部分空乏化状態としたことを特徴とする。

[0023] [0023] 本発明は、論理回路用のSOI型MOSFETのボディ部をフローティング状態とした点を特徴とする。これによって、論理回路を構成するMOSFETにおいては、従来必要であったバイアス用領域および接続部が不要となり、素子面積の増大を防ぐことができる。

また、ボディ部をフローティング状態としたNMOSFET (PMOSFET) では、ドレインからボディ部へ正孔 (電子) が漏入して (インバクト・イオン化)、ボディ部の電位が上がり (下がり)、ボディ部とソースヒジの間の電圧の絶対値が大きくなるため、しきい値電圧が下がり、論理回路素子の低電圧化を図ることができるという利点も得られる。

[0024] また、電源スイッチ用MOSFETでは、しきい値電圧を実現するために、バイアス用領域と接続部が必要であるが、このMOSFETは、論理回路ブロックの両側 (または片側) にのみ配置すればよく、論理回路用MOSFETと比較して使用面積が大きくなるので、回路全体の面積への影響はほとんど無視でき

[0025] さらに、MOSFETのボディ部の不純物濃度を調整することによって、そのしきい値電圧を正確に設定することができる。すなわち、論理回路用の低しきい値電圧MOSFETでは、2ドーティング状態とし、ボディ部の不純物濃度を減らして、完全空乏化状態とすることによって、低しきい値電圧を高精度で実現することができるとともに、電源スイッチ用のMOSFET

では、電源にバイアスしたボディ部の不純物濃度を増やして、ボディ部を部分空乏化状態にすることによって、

しきい値電圧を正確に設定することができる。

[0026] また、電源スイッチ用MOSFETのボディ部をゲートに接続して、ゲート電圧でバイアスすれば、このMOSFETのしきい値電圧特性を、遮断時に高しきい値電圧、導通時には低しきい値電圧と、自動的に切り替えることができる。すなわち、可変しきい値電圧によって、より有利な電源制御を実現することができる。

[0027] [0027] [実施例] 以下、図面を参照して、本発明の実施例を説明する。図4は、本発明による低電圧SOI型論理回路の第一実施例の構成を示す回路図である。

[0028] [0028] 図において、符号4-1は高電位電源線、4-2は低電位電源線4-1は、電源スイッチ用PMOSFET 4-2は、電源スイッチ用NMOSFET 4-5が並列接続され、5のソース端子に接続されている。また、MOSFET 4-4のドレイン端子は、論理回路群4-3の高電位端子に接続され、MOSFET 4-5のドレイン端子は、論理回路群4-3の低電位端子に接続されている。言い換えれば、MOSFET 4-4、論理回路群4-3およびMOSFET 4-5が並列接続され、MOSFET 4-4および4-5のソース端子に接続されている。また、MOSFET 4-4のゲート端子には、スリーブ信号S1が加えられ、MOSFET 4-5のゲート端子には、その反転信号S1が加えられている。これらの信号は、電源スイッチ用MOSFET 4-4および4-5をオン/オフ制御するための信号であり、論理回路群4-3のスリーブ時に、MOSFET 4-4および4-5をオフにし、論理回路群4-3の動作時に、MOSFET 4-4および4-5をオントする。

[0029] [0029] 図の実施例の特徴は、論理回路群4-3を構成する、すべてのMOSFETのボディ部がフローティング状態に設定されていることである。すなわち、これらのMOSFETのボディ部には、バイアスがかけられない。一方、電源スイッチ用MOSFET 4-4および4-5のボディ部はバイアスされている。すなわち、MOSFET 4-4のボディ部が高電位電源線4-1に接続され、MOSFET 4-5のボディ部が低電位電源線4-2に接続されている。

[0030] [0030] (A) および(B) は、MOSFETのボディ部にバイアスをかけたときと、かけなかつたときの、しきい値電圧の変化を示すグラフである。横軸はゲート・ソース間電圧V_Gを示し、縦軸はドレイン電圧V_Dを対数スケールで示している。V_GおよびV_Dは、しきい値電圧である。図から明らかなように、ボディ部にバイアスをかけないときには、しきい値電圧は下がる。この理由については前述した。このように、

SOI型MOSFETでは、その製作プロセスにおいて、特別なしきい値電圧調整用のマスクを用いなくて、

も、ボディ部をバイアスするか否かによって、高しきい値電圧のMOSFETと、低しきい値電圧のMOSFETとを実現することができる。

[0031] 本実施例では、さらに、ボディ部の不純物濃度をコントロールすることによって、高精度のしきい値電圧の調整を行っている。以下、この点を詳細に説明する。

[0032] [0032] 図6 (A) は、論理回路群4-3用MOSFETの構造を示す断面図であり、図6 (B) は、電源スイッチ用MOSFET 4-4および4-5の構造を示す断面図である。これらは、論理回路群4-3用MOSFETのボディ部1-3-3Aは、その空乏層幅Wが

Wがボディ部の厚さ以上に設定されている。すなわち、W = $\{2\varepsilon_{n1} \cdot 2\phi_1 / (q \cdot N_{n1})\}^{1/4}$ である。また、MOSFET 4-4および4-5のゲート電圧V_Gと、MOSFET 4-4および4-5のゲート電圧V_Gとを実現することができる。

[0033] [0033] 図6 (A) および図6 (B) に示したMOSFETでは、空乏層幅Wは、次の式で与えられる。

[0034] $[0034] W = \{2\varepsilon_{n1} \cdot 2\phi_1 / (q \cdot N_{n1})\}^{1/4}$

ただし、 ε_{n1} はシリコンの崩壊電圧、 q は電子の電荷量

N_{n1} はボディ部の不純物濃度

$\phi_1 = (kT/q) \ln (N_{n1}/n_1)$ (1)

ただし、kはボルツマン定数

Tはボディ部の絶対温度

n_1 はシリコンの真性キャリア密度

である。また、1nは自然対数を表す。

[0035] [0035] (A) および(B) は、論理回路群4-3の厚さをt₁₁とし、空乏層幅Wを、この厚さt₁₁よりも大きとした場合、ボディ部1-3-3Aは、完全空乏化状態となる。この状態

W = $\{2\varepsilon_{n1} \cdot 2\phi_1 / (q \cdot N_{n1})\}^{1/4}$

である。また、フェルミ・ボテンシャルφ₁は、次式で与えられる。

[0036] $[0036] \phi_1 = (kT/q) \ln (N_{n1}/n_1)$ (2)

ただし、kはボルツマン定数

Tはボディ部の絶対温度

n_1 はシリコンの真性キャリア密度

である。また、1nは自然対数を表す。

[0037] [0037] (A) および(B) は、論理回路群4-3の厚さをt₁₁とし、空乏層幅Wを、この厚さt₁₁よりも大きとした場合、ボディ部1-3-3Aは、完全空乏化状態となる。この状態

W = $\{2\varepsilon_{n1} \cdot 2\phi_1 / (q \cdot N_{n1})\}^{1/4}$

である。また、フェルミ・ボテンシャルφ₁は、次式で与えられる。

[0038] $[0038] \phi_1 = (kT/q) \ln (N_{n1}/n_1)$ (3)

ただし、V_Gはフラットバンド電圧

C₀₁はゲート酸化膜1-4による容量である。

[0039] [0039] (A) および(B) は、MOSFETのボディ部1-3-3Bを完全空乏化状態にするために、アクリティブ領域1-3の膜厚t₁₁を100nm、ゲート酸化膜1-4の膜厚t₀₁を7nm (これによるC₀₁ = 0.49μF/cm²)、ボディ部1-3-3Aの不純物濃度N_{n1}を $8 \times 10^{19} \text{ cm}^{-3}$ (このときV_G = -0.9V, 2φ₁ = +0.9Vとなり、しきい値電圧が0.6V程度になり、低しきい値電圧のMOSFETを実現することができる) に設定すればよい。このときのしきい値電圧は、図7に示すように、0.2V程度になり、低しきい値電圧のMOSFETを実現することができる。なお、図7から分かるように、不純物濃度を減らして空乏層幅を増大することによって、しきい値電圧は低下する。

[0040] [0040] (A) および(B) は、MOSFETのボディ部にバイアスをかけたときと、かけなかつたときの、しきい値電圧の変化を示すグラフである。横軸はゲート・ソース間電圧V_Gを示し、縦軸はドレイン電圧V_Dを対数スケールで示している。V_GおよびV_Dは、しきい値電圧である。図から明らかなように、ボディ部にバイアスをかけないときには、しきい値電圧は下がる。この理由については前述した。このように、

論理回路群4-3を部分空乏化状態とするたとえば、ボディ部1-3-3Bは、元空乏化状態にされている。

一方、電源スイッチ用MOSFETのボディ部1-3-3B

は、その空乏層幅Wがボディ部の厚さよりも小さくされ

て、MOSFETのMOSFETと、低しきい値電圧のMOSFETとを実現することができる。

[0041] 本実施例では、さらに、ボディ部の不純物濃度をコントロールすることによって、高精度のしきい値電圧の実現を行っている。以下、この点を詳細に説明する。

[0042] [0042] 一方、ボディ部1-3-3Bでは、部分空乏化状態

でチャンネルが形成されるから、しきい値電圧が下がる。したがって、論理回路群用MOSFETのしきい値電圧は、所定の低しきい値電圧で設定され、電

圧スイッチ用MOSFETのしきい値電圧は、高しきい

電圧に設定される。一般に、空乏層幅が大きいほど低電圧

でチャンネルが形成されるから、しきい値電圧が下がる。したがって、論理回路群用MOSFETのしきい値電圧は、所定の低しきい値電圧で設定され、電

圧スイッチ用MOSFETのしきい値電圧は、高しきい

電圧に設定される。

[0043] [0043] 図5 (A) および(B) は、論理回路群4-3の動作時

に示す断面図である。図5 (A) および(B) に示したMOSFETでは、空乏層幅Wは、次の式で与えられる。

[0044] $[0044] W = \{2\varepsilon_{n1} \cdot 2\phi_1 / (q \cdot N_{n1})\}^{1/4}$

ただし、 ε_{n1} はシリコンの崩壊電圧、 q は電子の電荷量

N_{n1} はボディ部の不純物濃度

$\phi_1 = (kT/q) \ln (N_{n1}/n_1)$ (4)

ただし、kはボルツマン定数

Tはボディ部の絶対温度

n_1 はシリコンの真性キャリア密度

である。また、1nは自然対数を表す。

[0045] [0045] (A) および(B) は、論理回路群4-3の厚さをt₁₁とし、空乏層幅Wを、この厚さt₁₁よりも大きとした場合、ボディ部1-3-3Aは、完全空乏化状態となる。この状態

W = $\{2\varepsilon_{n1} \cdot 2\phi_1 / (q \cdot N_{n1})\}^{1/4}$

である。また、フェルミ・ボテンシャルφ₁は、次式で与えられる。

[0046] $[0046] \phi_1 = (kT/q) \ln (N_{n1}/n_1)$ (5)

ただし、V_Gはフラットバンド電圧

C₀₁はゲート酸化膜1-4による容量である。

[0047] [0047] (A) および(B) は、MOSFETのボディ部1-3-3Bを完全空乏化状態にするために、アクリティブ領域1-3の膜厚t₁₁を100nm、ゲート酸化膜1-4の膜厚t₀₁を7nm (これによるC₀₁ = 0.49μF/cm²)、ボディ部1-3-3Aの不純物濃度N_{n1}を $8 \times 10^{19} \text{ cm}^{-3}$ (このときV_G = -0.9V, 2φ₁ = +0.9Vとなり、しきい値電圧が0.6V程度になり、低しきい値電圧のMOSFETを実現することができる) に設定すればよい。このときのしきい値電圧は、図7に示すように、0.2V程度になり、低しきい値電圧のMOSFETを実現することができる。なお、図7から分かるように、不純物濃度を減らして空乏層幅を増大することによって、しきい値電圧は低下する。

[0048] [0048] (A) および(B) は、MOSFETのボディ部にバイアスをかけたときと、かけなかつたときの、しきい値電圧の変化を示すグラフである。横軸はゲート・ソース間電圧V_Gを示し、縦軸はドレイン電圧V_Dを対数スケールで示している。V_GおよびV_Dは、しきい値電圧である。図から明らかなように、ボディ部にバイアスをかけないときには、しきい値電圧は下がる。この理由については前述した。このように、

論理回路群4-3を部分空乏化状態とするたとえば、ボディ部1-3-3Bは、元空乏化状態にされている。

一方、電源スイッチ用MOSFETのボディ部1-3-3B

は、その空乏層幅Wがボディ部の厚さよりも小さくされ

て、MOSFETのMOSFETと、低しきい値電圧のMOSFETとを実現することができる。

[0049] 本実施例では、さらに、ボディ部の不純物濃度をコントロールすることによって、高精度のしきい値電圧の実現を行っている。以下、この点を詳細に説明する。

[0050] [0050] 一方、ボディ部1-3-3Bでは、部分空乏化状態

でチャンネルが形成されるから、しきい値電圧が下がる。したがって、論理回路群用MOSFETのしきい値電圧は、所定の低しきい値電圧で設定され、電

圧スイッチ用MOSFETのしきい値電圧は、高しきい

電圧に設定される。

[0051] [0051] 図5 (A) および(B) は、MOSFETのボディ部1-3-3Bを部分空乏化状態とするために、アクリティブ領域1-3の膜厚t₁₁を100nmのときには、不純物濃度N_{n1}は、 $1 \times 10^{19} \text{ cm}^{-3}$ 以下が好ましい。

[0052] [0052] 一方、ボディ部1-3-3Bがバイアスされた

ときは、ゲート酸化膜4-2を介して高電位電源線4-1と低電位電源線4-2が接続される。このため、しきい値電圧の変動は、従来のハルク型MOSFETと同程度に小さくできる。この結果、電源スイッチ用MOSFET 4-4および4-5は、オノ-オフ制御することができる。

[0053] [0053] 一方、ボディ部1-3-3Bがバイアスされた

ときは、ゲート酸化膜4-2を介して高電位電源線4-1と低電位電源線4-2が接続される。このため、しきい値電圧の変動は、従来のハルク型MOSFETと同程度に小さくできる。この結果、電源スイッチ用MOSFET 4-4および4-5は、オノ-オフ制御することができる。

【0044】実施例2

図8は、本発明による低電圧SOI型論理回路の第2実施例の構成を示す回路図である。

【0045】この実施例が第1実施例と異なる点は、電源スイッチ用MOSFET44および45のボディ部1-3-3-2をゲート電極15に接続した点である。

【0046】この構成によれば、論理回路回路群4-3のスリープ時には、MOSFET44および45のしきい値電圧を上げ、リーコ電流を低下し、その動作時には、MOSFET44および45のしきい値電圧を下げて、論理回路群4-3への供給電圧を上げることができる。

【0047】図9(A)および図9(B)は、その理由を説明するためのグラフである。これらのグラフにおいて、横軸はゲート・ソース間電圧 V_{GS} であり、縦軸はしきい値電圧 V_{th} である。これらの図からわかるように、ゲート・ソース間電圧 V_{GS} の絶対値が増加すると、MOSFETのしきい値電圧 V_{th} の絶対値が減少する。本実施例2は、この特徴を利用したものである。

【0048】まず、スリープ時には、PMOSFET44のゲートに高レベルの信号 $*SL (1V)$ が供給され、NMOSFET45のゲートに低レベル信号 $V_{GS} (0V)$ が加えられる。このとき、PMOSFET44のゲート・ソース間電圧 V_{GS} も、NMOSFET45のゲート・ソース間電圧 V_{GS} も、低電圧(0V)となる。すなわち、しきい値電圧 V_{th} は高くなる。

【0049】逆に、論理回路群4-3の動作時には、PMOSFET44のゲートに低レベルの信号 $*SL (0V)$ が供給され、NMOSFET45のゲートに高レベル信号 $*SL (1V)$ が加えられる。このとき、PMOSFET44のゲート・ソース間電圧 V_{GS} も、NMOSFET45のゲート・ソース間電圧 V_{GS} も、高電圧(1V)となる。すなわち、しきい値電圧 V_{th} は低くなる。

【0050】この結果、スリープ時には、MOSFET44および45のオフ抵抗が増して、リーコ電流を低く抑えることができ、論理回路群4-3の動作時には、MOSFET44および45のオン抵抗が減少し、論理回路群4-3への供給電圧を増すことができる。

【0051】なお、上記各実施例では、高電位側にも低電位側にも電源スイッチ用のMOSFETを設けたが、その一方のみでも、ほぼ同様の作用効果をあげることができる。たとえば、低電位側のMOSFET45を除了した場合は、論理回路群4-3の低電位端子を、低電位端子4-4に直接接続すればよい。

【0052】図10は、論理回路を構成するMOSFETのボディ部をゲート電極に接続した構成を示す従来技術であり、T. Andoh, et al., "Design Methodology for Low-Voltage MOSFETs", 1994, IEDM, 79-82ページに記載されたものである。本実施例がこの従来技術と異なる点は、ボディ部がゲート電極に接続されたMOSFETを、従来技術では、論理回路用MOSFETとして用い

ているのに対して、本発明では、電源スイッチ用MOSFETとして利用している点である。ボディ部がゲート電極に接続されたMOSFETは、ボディ部からゲート電極への接続部を脱ければならないために、素子占有面積が増加することも、入力容量が増加するため、ボディ部をフローティング状態とした素子よりも、動作速度が遅く、論理回路用としては適していない。本実施例では、このようなMOSFETを、論理素子よりも動作速度が遅くして済み、かつ使用個数が少ない、電源スイッチ用素子として用いているため、このような欠点による悪影響をまぬがれることができる。

【0053】
【発明の効果】以上説明したように、本発明によれば、高電動作および高電積が可能な低電圧SOI型論理回路を提供することができる。

【図面の簡単な説明】

【図1】従来の低電圧CMOS論理回路の一例を示す回路図である。

【図2】SOI型MOSFETの一例を示す断面図である。

【図3】(A)は従来のハルク型MOSFETの基板バイアス構造を示す平面図、(B)は従来のSOI型MOSFETのボディ部バイアス構造を示す平面図である。

【図4】本発明による低電圧SOI型論理回路の第1実施例の構成を示す回路図である。

【図5】(A)は、第1実施例において、MOSFETのボディ部にバイアスをかけたときの、ソース・ゲート間電圧 V_{GS} とドライン電流 I_D の特性、およびしきい値電圧 V_{th} を示すグラフ、(B)は第1実施例において、MOSFETのボディ部にバイアスをかけないときの、ソース・ゲート間電圧 V_{GS} とドライン電流 I_D の特性、およびしきい値電圧 V_{th} を示すグラフである。

【図6】(A)は第1実施例で用いた論理回路用低しきい値電圧のSOI型MOSFETの構造を示す断面図、(B)は第1実施例で用いた電源スイッチ用高しきい値電圧のSOI型MOSFETの構造を示す断面図である。

【図7】(A)はNMOSFETのボディ部をゲート電極に接続したときの、ソース・ゲート間電圧 V_{GS} としきい値電圧 V_{th} の関係を示すグラフである。

【図8】本発明による低電圧SOI型論理回路の第2実施例の構成を示す回路図である。

【図9】(A)はNMOSFETのボディ部をゲート電極に接続したときの、ソース・ゲート間電圧 V_{GS} としきい値電圧 V_{th} の関係を示すグラフ、(B)はPMOSFETのボディ部をゲート電極に接続したときの、ソース・ゲート間電圧 V_{GS} としきい値電圧 V_{th} の関係を示すグラフである。

【図10】第2実施例と一部類似した構成を有する従来回路を示す図である。

【符号の説明】

1 高電位電源線

2 低電位電源線

3 論理回路群

4 電源スイッチ用MOSFET

5 電源スイッチ用MOSFET

11 シリコン基板

12 埋込酸化膜

13 アクティブライン

14 ゲート酸化膜

15 ゲート電極

41 ボディ部

133A ボディ部

133B ボディ部

134 チャンネル部

2 低電位電源線

3 論理回路群

44 電源スイッチ用MOSFET

45 電源スイッチ用MOSFET

131 ソース

132 ドレイン

133 ボディ部

133A ボディ部

134 チャンネル部

42 低電位電源線

43 論理回路群

44 電源スイッチ用MOSFET

45 電源スイッチ用MOSFET

131 ソース

132 ドレイン

133 ボディ部

133A ボディ部

134 チャンネル部

42 低電位電源線

43 論理回路群

44 電源スイッチ用MOSFET

45 電源スイッチ用MOSFET

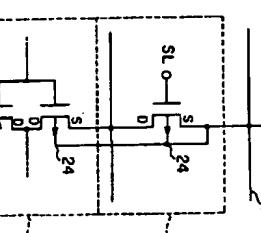
131 ソース

132 ドレイン

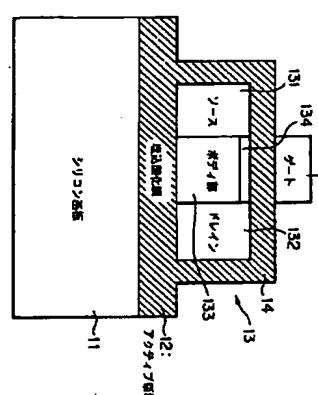
133 ボディ部

133A ボディ部

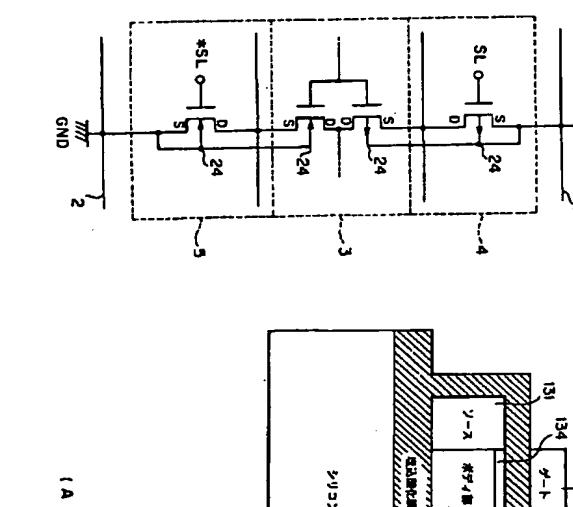
134 チャンネル部



[図1]

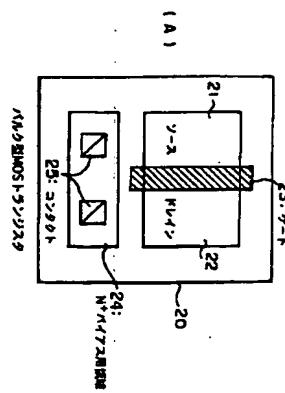


[図2]



BEST AVAILABLE COPY

[図6]



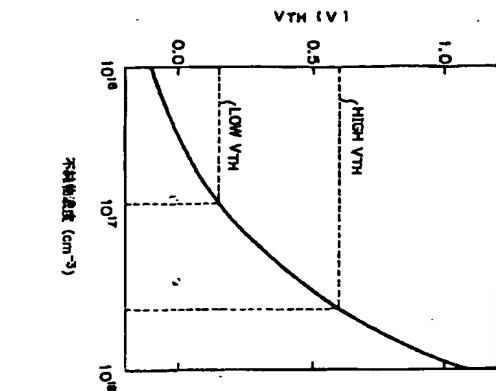
(9)

特開平8-228145

(10)

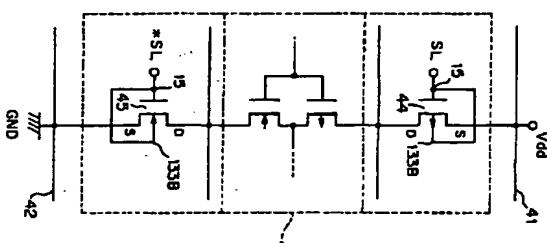
特開平8-228145

[図7]



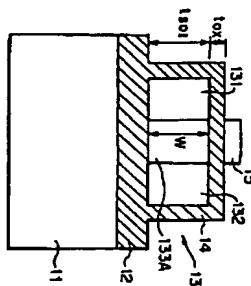
[図7]

[図8]



[図8]

[図9]



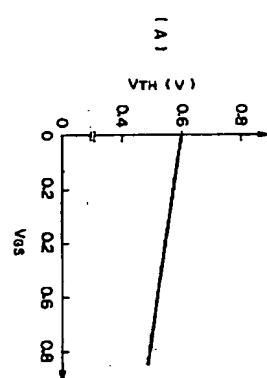
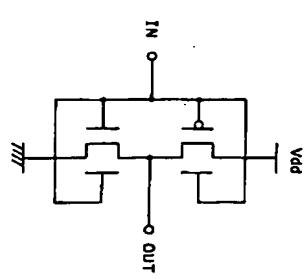
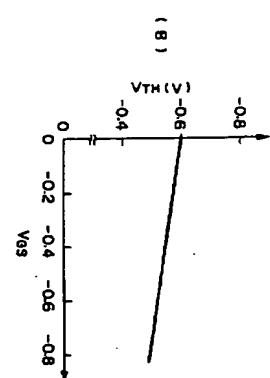
(A)

(B)

(10)

特開平8-228145

特開平8-228145



(A)

(B)

(9)

特開平8-228145